

PATENT  
0941-0860P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LEE, Yueh-Chuan et al Conf.:  
Appl. No.: NEW Group:  
Filed: October 30, 2003 Examiner:  
For: SEMICONDUCTOR STRUCTURE WITH PARTIALLY  
ETCHED GATE AND METHOD OF FABRICATING  
THE SAME

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

October 30, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092107601	April 3, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH STEWART, KOVASCH & BIRCH, LLP

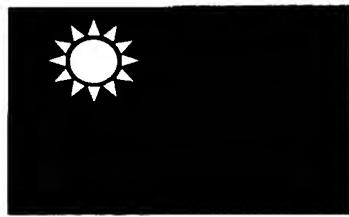
By Joe McKinney, #39,538  
Joe McKinney Muncey, #32, 334

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

KM/smt  
0941-0860P

Attachment(s)

(Rev. 09/30/03)



LEE et al  
October 30, 2003  
中華民國經濟部智慧財產局  
INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA  
703-205-8000  
0941-0860P  
1051

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 03 日

Application Date

申請案號：092107601

Application No.

申請人：茂德科技股份有限公司

Applicant(s)

局長

Director General

余綠生

發文日期：西元 2003 年 10 月 9 日  
Issue Date

發文字號：09221020140  
Serial No./

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具有局部蝕刻開極之半導體結構及其製作方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 李岳川 2. 董明聖
	姓名 (英文)	1. Yueh-Chuan Lee 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 南投縣中興新村光榮北路4段30號 2. 花蓮縣花蓮市中美十街五十五巷 3 號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路十九號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1.



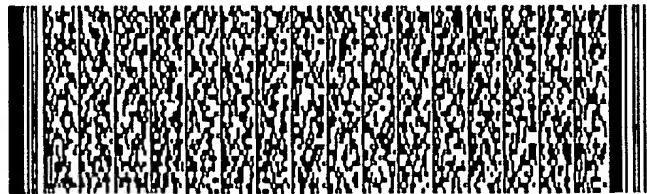
0503\_0412TWF(n1);01072;shawnchang.pid

四、中文發明摘要 (發明名稱：具有局部蝕刻閘極之半導體結構及其製作方法)

本發明關於一種局部蝕刻閘極之半導體結構的製作方法，包括：提供一半導體基底，於該半導體基底上具有至少兩鄰近之閘極結構，其中上述閘極結構係由形成於半導體基底之一閘極介電層、一閘極導電層以及一上蓋層所構成，且上述閘極結構之各側邊覆蓋有一襯墊層；依序定義層內層，於該保護層，以部出至少一開口，並蝕刻部份上述開口內之該保護層，以部份露出開口內兩鄰近閘極結構單一側邊上之襯墊層；蝕刻去除上述部份露出之襯墊層，且可選擇地部份去除鄰近這些露出襯墊層之閘極導電層；去除罩幕層及保護層；以及形成一側壁子覆蓋於上述閘極結構各側壁上，以形成複數個單一側邊具有局部蝕刻之閘極結構。此外，本發明亦提供了上述之一種具有局部蝕刻閘極之半導體結構。

伍、(一)、本案代表圖為：第6圖

陸、英文發明摘要 (發明名稱：)

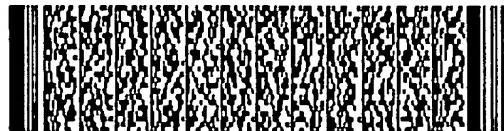


四、中文發明摘要 (發明名稱：具有局部蝕刻閘極之半導體結構及其製作方法)

(二)、本案代表圖之元件代表符號簡單說明：

- 10~矽基底；
- 12~閘極介電層；
- 14~複晶矽層；
- 16~金屬矽化物層；
- 18~上蓋層；
- 20~襯墊層；
- 26~側壁子；
- 28~摻雜區；
- 30~層間介電層；
- G~閘極結構；
- OP'~開口。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

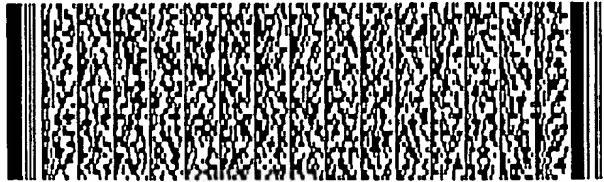
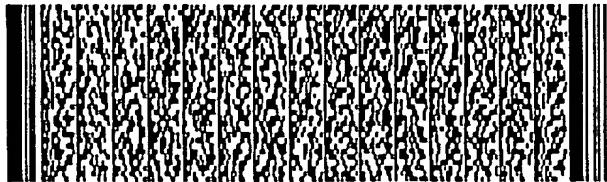
### 發明所屬之技術領域：

本發明是有關於一種半導體元件之製作方法，且特別是有關於一種具有局部蝕刻閘極之半導體閘極結構及其製作方法。

### 先前技術：

一般而言，金屬氧化半導體(MOS)元件係由金屬層、氧化層以及半導體基底所構成。由於金屬與氧化物的黏著性不佳，常使用多晶矽取代金屬以形成MOS元件中閘極結構之導電層。然而，複晶矽之缺點在於其電阻較金屬為高，雖可藉由雜質摻雜以降低電阻，然而所產生的導電性仍無法作為一良好之導電層。常見的解決方法之一就是於複晶矽層上增加一層如常見之鎢化矽(WSi)的金屬矽化物層以改善閘極結構之導電性。此外，上述之閘極結構更包括為於金屬矽化物層上之上蓋層(cap layer)，以及位於閘極結構兩側之襯墊層(liner)及側壁子(spacer)，此些上蓋層與側壁子之材質較佳為氮化矽(silicon nitride)，以提供閘極結構適當之絕緣保護。

於上述作為字元線用途之閘極結構形成後，並配合後續如硼磷矽玻璃(BPSG)材質之介電層沉積與微影/蝕刻等程序，將可於兩鄰近字元線(word-line, WL)間適當位置之介電層(如硼磷矽玻璃)中形成一開口(opening)並露出其內之半導體基底，並接著於此開口填入適當之導電材料，以於此開口內形成與後續金屬線，如位元線(bit-line, BL)間電性連接之接觸節點(contact node)。



## 五、發明說明 (2)

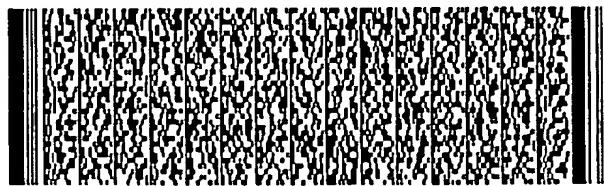
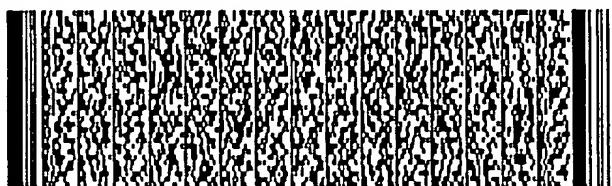
上述製程即為近來半導體元件製作技術中以廣泛使用之自對準接觸(self-aligned contact, SAC)開口(opening)技術。

然而，於形成上述開口之過程中，將無可避免部份去除些閘極結構兩側之側壁子(spacers)材料(例如為氮化矽)，並於此開口形成後，這些閘極結構內之導電材料仍可為上述側壁子所保護而不暴露於此開口中。假使這些閘極內之導電材料部份暴露於此開口中，這些元件將會損失而無法表現出其原先之功能。於當今半導體製程中仍無可避免地會發現上述側壁子被過度蝕刻所導致之閘極結構內導電材料(如鎢化矽或複晶矽等)外露情形，即為習知之位元線接觸(bit-line contact, CB)結構與字元線短路情形(CB to WL short)，進而造成半導體元件電性損失。另若上述開口之過程中若蝕刻不足則會導致另一習知之位元線接觸斷路(bit-line contact open, CB open)。

此外，隨著製程的微縮，鄰近閘極間之間距變小，相對的深寬比(aspect ratio)則變大。對於填入閘極間的介電層(如硼磷矽玻璃)，若填入能力(gap-fill)不佳造成的空洞(void)則會導致後續填入導電材料於自對準接觸(SAC)開口時造成位元線接觸與鄰近另一位元線接觸短路(CB to CB short)，進而造成半導體元件電性損失，並影響生產的良率。

發明內容：

有鑑於此，本發明的主要目的就是提供一種具有局部



### 五、發明說明 (3)

蝕刻開極之半導體結構及其製作方法，以避免連結位元線接觸結構與字元線短路(CB to WL short)、位元線接觸異常(CB open)、位元線接觸與鄰近另一位元線接觸短路(CB to CB short)等情形。

為達上述目的，本發明提供了一種具有局部蝕刻開極之半導體結構及其製作方法，其結構包括：一半導體基底；一開極介電層、一開極導電層以及一上蓋層依序堆疊於上述半導體基底上以構成一開極結構；一襯墊層，形成於上述開極結構之側壁上，其中上述開極結構一側邊上之上述襯墊層為部分蝕刻去除並部份露出鄰近之上述開極結構。

此外，上述本發明之單一側邊具有局部蝕刻之開極結構其於後續自對準接觸(SAC)製程的應用，可更包括下列結構：一層間介電層，覆蓋於上述開極結構上；以及一位元線接觸窗，形成於上述層間介電層內並露出上述位元線接觸窗內之半導體基底及部份上述開極結構，其中露出之上述開極結構部份內側壁上之上述襯墊層為部份蝕刻去除。

再者，上述具有局部蝕刻開極之半導體結構之製作方法則包括下列步驟：

提供一半導體基底，於該半導體基底上具有至少兩鄰近之開極結構，其中上述開極結構係由形成於半導體基底之一開極介電層、一開極導電層以及一上蓋層所構成，且上述開極結構之各側邊覆蓋有一襯墊層；依序形成一保護



#### 五、發明說明 (4)

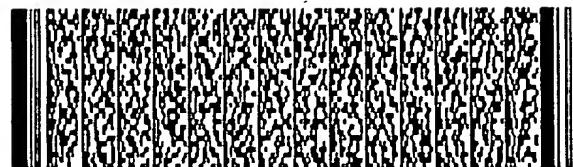
層及一罩幕層於上述閘極結構上；於罩幕層內定義出至少一開口，並蝕刻部份上述開口內之該保護層，以部份露出開口內兩鄰近閘極結構單一側邊上之襯墊層；蝕刻去除上述部份露出之襯墊層，且可選擇地局部去除鄰近這些露出襯墊層之間極導電層；去除罩幕層以及保護層；以及形成一側壁子覆蓋於上述閘極結構各側壁上，以形成複數個單一側邊具有局部蝕刻之閘極結構。

此外，將上述本發明之兩側邊具有局部蝕刻之閘極結構其應用於後續自對準接觸開口(SAC)製程之製作方法，更包括下列步驟：

形成一層間介電層覆蓋於該些閘極結構上；以及施行一微影/蝕刻之程序以於該層間介電層定義出至少一位元線接觸窗並露出該位元線接觸窗內之半導體基底及部份該些鄰近閘極結構。

再者，本發明亦提供了另一種具有局部蝕刻閘極之半導體結構及其製造方法，其結構包括：一半導體基底；一閘極介電層、一閘極導電層以及一上蓋層依序堆疊於上述半導體基底上以構成一閘極結構，一襯墊層，分別形成於該閘極結構之兩側壁上，其中該閘極結構兩側壁上之該襯墊層為部分蝕刻去除並部份露出鄰近之該閘極結構。

此外，上述本發明之兩側邊具有局部蝕刻之閘極結構其於後續自對準接觸(SAC)製程的應用，可更包括下列結構：一層間介電層，覆蓋於上述閘極結構上；以及一位元線接觸窗，形成於上述層間介電層內並露出位元線接觸



## 五、發明說明 (5)

窗內之半導體基底及部份上述閘極結構，其中露出之該閘極結構部份內側壁上之該襯墊層為部分蝕刻去除。

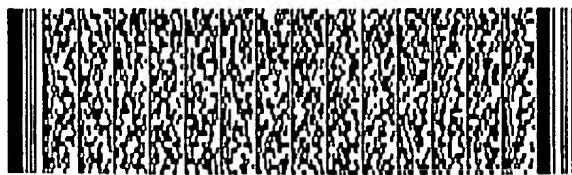
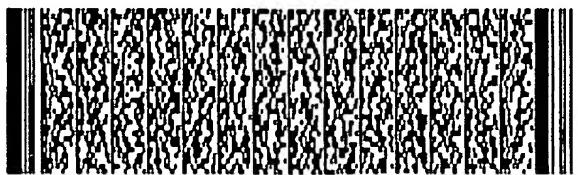
此外，上述依據本發明之另一種具有局部蝕刻閘極之半導體結構之製造方法，包括下列步驟：

提供一半導體基底，於該半導體基底上具有至少兩鄰近之閘極結構，其中該些閘極結構係由形成於該半導體基底之一閘極介電層、一閘極導電層以及一上蓋層所構成，且該些閘極結構之各側邊覆蓋有一襯墊層；形成一保護層於該些閘極結構上；蝕刻部份該保護層，以部份露出該些閘極結構兩側邊上之該襯墊層；蝕刻去除該些露出之襯墊層部份；去除該保護層；以及形成一側壁子覆蓋於該些閘極結構各側壁上以形成複數個兩側邊具有局部蝕刻之閘極結構。此外，於蝕刻去除上述部份露出之襯墊層後可更包括一局部去除鄰近上述露出襯墊層之閘極導電層之步驟。

此外，將上述本發明之兩側邊具有局部蝕刻之閘極結構其應用於後續自對準接觸開口(SAC)製程之製作方法，更包括下列步驟：

形成一層間介電層覆蓋於該些閘極結構上；以及施行一微影/蝕刻之程序以於該層間介電層定義出至少一位元線接觸窗並露出該位元線接觸窗內之半導體基底及部份該些鄰近閘極結構。

使用本發明之形成具有局部蝕刻之閘極結構之自對準接觸開口的方法可改善習知如位元線接觸結構與字元線短路情形(CB to WL short)、位元線接觸異常(CB open)、



## 五、發明說明 (6)

位元線接觸與鄰近另一位元線接觸短路(CB to CB short)等情形，以及具有加大鄰近閘極間之間距(如第6圖及第15圖內之間距X)以提供自對準接觸(SAC)製程中之製程裕度(process window)以因應閘極結構線寬間距的縮小之趨勢。

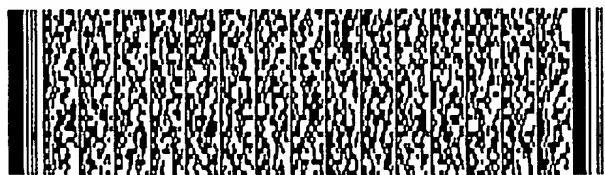
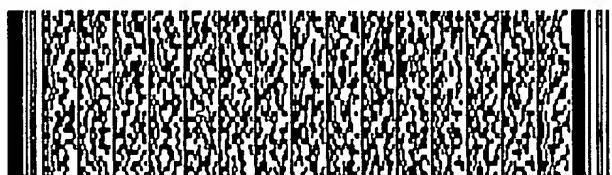
此外，本發明所形成具有局部蝕刻之閘極結構不會改變後續離子佈值(ion implantation)製程的植入區域，其閘極通道長度(channel length)仍可維持一定，不受到襯墊層局部蝕刻之影響。且本發明可由現有製程稍加改良，可迅速及容易地導入現有製程中。

實施方式：

第一實施例：

本發明中形成具有局部蝕刻之閘極結構的方法，以及將此具有局部蝕刻之閘極結構應用於自對準接觸(SAC)製程之第一實施例將配合第1圖至第7圖作一詳細敘述如下。

首先請參照第1圖，提供一半導體基底，例如為一矽基底10，其表面上具有至少兩鄰近之閘極結構G。這些閘極結構G包含由依序堆疊於矽基底10上之閘極介電層12、複晶矽層14、金屬矽化物層16以及上蓋層18所構成，而襯墊層(liner)20係成長於矽基底10表面以及閘極結構G內複晶矽層14及金屬矽化物層16部份之側壁上。上述之閘極介電層12、複晶矽層14、金屬矽化物層16、上蓋層18以及襯墊層20之材質較佳地分別為二氧化矽、經適當摻質摻雜之



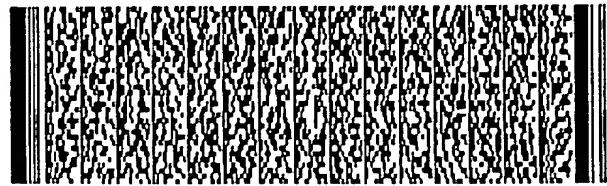
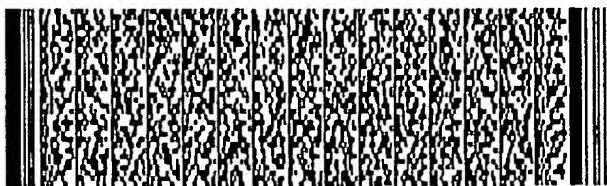
## 五、發明說明 (7)

複晶矽、鈷化矽(Tungsten Silicide)、氮化矽(silicon nitride)以及快速熱氧化層(rapid thermal oxide)等材料，而複晶矽層14與金屬矽化物層16則構成這些閘極結構G之閘極導電層。

請參照第2圖，接著依序於矽基底10上形成保護層22與第一罩幕層24並覆蓋於這些閘極結構G上。上述保護層22例如是有機抗反射材料(BARC)，而此第一罩幕層24則例如是光阻材料。接著更透過一微影程序(未顯示)以於此第一罩幕層24適當位置內定義出一開口OP，並露出開口OP內之此保護層22。上述開口OP係為對應至後續位元線接觸窗(bit-line contact, CB)之相對位置，定義此開口OP可使用位元線節點光罩(bit-line contact node mask)或位元線接觸窗光罩(bit-line contact mask)來完成。

請參照第3圖，接著蝕刻開口OP內之保護層22，留下部份之保護層22於襯墊層20上，以部份露出位於開口OP內這些鄰近閘極結構G單一側邊上的襯墊層20。

請參照第4圖，採用如濕蝕刻法之一適當之蝕刻方法(如稀釋氫氟酸DHF或氫氟酸HF與氟化氨 $\text{NH}_4\text{F}$ 之混合溶液BOE)，蝕刻去除前述之未為保護層22覆蓋而露出的襯墊層20部份，即可得到這些單一側邊具有局部蝕刻襯墊層之閘極結構G。另可選擇如濕蝕刻法之另一適當蝕刻方法(如氨水 $\text{NH}_4\text{OH}$ 與過氧化氫 $\text{H}_2\text{O}_2$ 之混合溶液RCA1)去除這些閘極結構G側邊未為此襯墊層20保護之部份閘極導電層材料(如部份之金屬矽化物層16)，並於去除第一罩幕層24以及保護

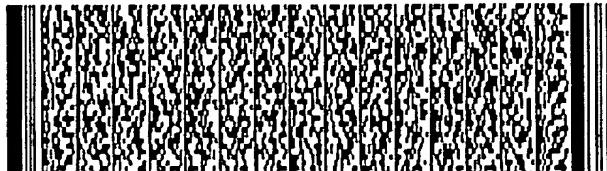
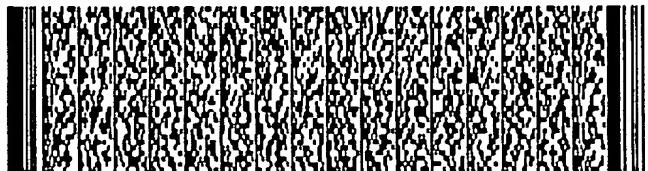


## 五、發明說明 (8)

層22後，即可得到這些單一側邊具有局部蝕刻開極導電層之開極結構G。在此，熟悉此技藝者亦可藉由控制先前於開口OP內保護層22之蝕刻程度以調整所留下保護層22之高度，並於去除露出之襯墊層20後，使得開極導電層露出程度可更達部份之複晶矽層14，實際開極導電層所需之露出情形則視製程所需可作任意調整，在此不以露出部份之金屬矽化物層16加以限定。

請參照第5圖，接著依照習知之沉積-回蝕刻程序，於這些開極結構G之兩側壁上各形成一側壁子(spacer)26，其材質例如為氮化矽。這些側壁子26除了覆蓋於開極結構G側壁之襯墊層20上，並填入於先前局部去除之開極導電層(例如為金屬矽化物層16)內。接著並藉由習知之源極/汲極離子佈值程序(未顯示)，於這些開極結構兩側之矽基底10內更形成複數個摻雜區28以作為這些開極結構G之源極/汲極(source/drain)。至此，這些單一側邊具有局部蝕刻之開極結構G即可作為字元線(WL)之用。

請參照第6圖，上述利用本發明之方法所形成單一側邊具有局部蝕刻之開極結構其於後續自對準接觸(SAC)製程的應用，接著於這些開極結構G上更形成例如為硼磷矽玻璃(BPSG)之一層間介電層(interlayer dielectric, ILD)30以及例如為光阻材質之第二罩幕層32後，配合一微影/蝕刻之程序已於於這些開極G間適當位置之第二罩幕層32以及層間介電層30中形成一開口(opening)OP'並露出其內矽基底10中之摻雜區28以及部份



## 五、發明說明 (9)

此些閘極結構G。而於形成上述開口OP'過程中，雖無可避免部份去除此些閘極結構G側邊上之上蓋層18以及側壁子26(spacers)，但由於此些閘極已於先前製程中形成局部蝕刻，故此些閘極結構G內之間極導電層仍可為側壁子26及上蓋層18所絕緣保護而不暴露於此開口OP'中。

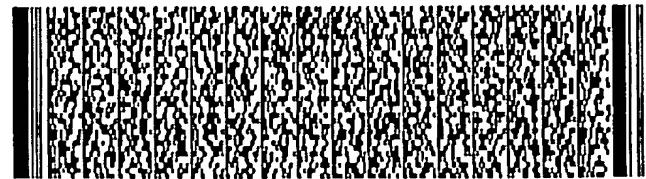
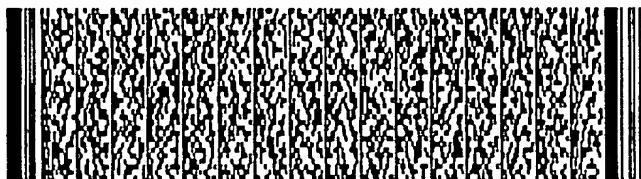
請參照第7圖，於去除第二罩幕層32後，接著於開口OP'內填入如鎢金屬等適當之導電材料後，並經由一如CMP之平坦化程序後，於開口OP'內形成與後續金屬線(未顯示)連接之位元線接觸結構(bitline contact, CB)34。在此，開口OP'即為一自對準開口，而上述製程即為一自對準接觸(self-aligned contact, SAC)製程。

此外，完成上述具定義開口之第一罩幕層24及第二罩幕層32不限於微影製程，亦可應用奈米印刻製程(Nanoimprint Lithography, NIL)來完成之。

本發明提供一種具有局部蝕刻閘極之半導體結構，將配合第5圖及第7圖作一詳細敘述如下。

首先請參照第5圖，係顯示依據本發明之一種單一側邊具有局部蝕刻之閘極結構，其包括：

半導體基底(如矽基底10)；由依序堆疊於上述半導體基底上之間極介電層12、閘極導電層(例如由複晶矽14與金屬矽化物層16所構成)以及上蓋層18所構成之兩鄰近閘極結構G；以及一襯墊層20，分別形成於閘極結構G之兩側壁上，其中於閘極結構G一側邊上之襯墊層20為局部蝕刻去除並露出鄰近之閘極結構部份，並可更選擇性的去除此



## 五、發明說明 (10)

鄰近之露出閘極結構部份(例如為金屬矽化物層16)。此外，於上述閘極結構G之兩側壁上則分別設置有一側壁子26覆蓋於襯墊層20上。

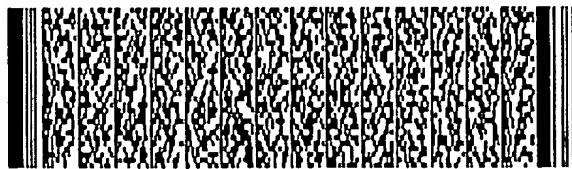
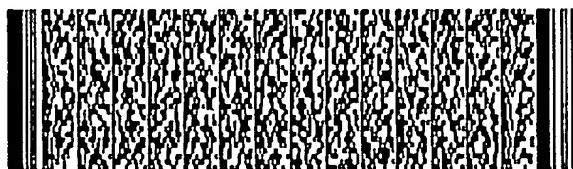
接著請參照第7圖，係顯示將上述本發明之單一側邊具有局部蝕刻之閘極結構配合後續自對準接觸(SAC)製程之應用所形成的一種單一側邊具有局部蝕刻閘極之半導體結構，其更包括：

層間介電層30，覆蓋於上述閘極結構G上；以及位元線接觸窗(例如位元線接觸結構34)，形成於上述層間介電層內並露出此位元線接觸窗內之半導體基底及部份上述閘極結構，其中露出之閘極結構G部份內側壁上之襯墊層20為部分蝕刻去除。

### 第二實施例：

本發明中形成具有局部蝕刻之閘極結構的方法，以及將此具有局部蝕刻之閘極結構應用於自對準接觸(SAC)製程之另一實施例將配合第8圖至第16圖作一詳細敘述如下。

首先請參照第8圖，提供一半導體基底，例如為一矽基底10，其表面上具有至少兩鄰近之間極結構G。這些閘極結構G包含由依序堆疊於矽基底10上之閘極介電層12、複晶矽層14、金屬矽化物層16以及上蓋層18所構成，而襯墊層(liner)20係成長於矽基底10表面以及閘極結構G內複晶矽層14及金屬矽化物層16部份之側壁上。上述之閘極介電層12、複晶矽層14、金屬矽化物層16、上蓋層18以及



## 五、發明說明 (11)

襯墊層20之材質較佳地分別為二氧化矽、經適當摻質摻雜之複晶矽、鈸化矽(Tungsten Silicide)、氮化矽(silicon nitride)以及快速熱氧化層(rapid thermal oxide)等材料，而複晶矽層14與金屬矽化物層16則構成這些閘極結構G之閘極導電層。

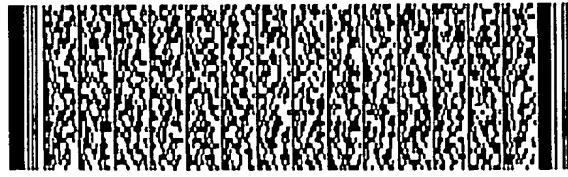
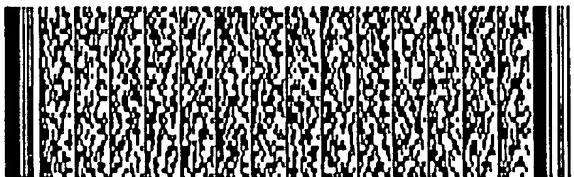
請參照第9圖，接著依序於矽基底10上形成保護層22與第一罩幕層24並覆蓋於這些閘極結構G上。上述保護層22材質例如是有機抗反射材料(BARC)，而第一罩幕層24材質則例如為光阻材料(photoresist)。接著更透過一微影程序(未顯示)以於這些閘極結構G相對位置上定義出覆蓋於保護層22上之第一罩幕層24。

請參照第10圖，接著蝕刻未為第一罩幕層24遮蔽之保護層22材料，並留下部份之保護層22於襯墊層20上，以局部露出位於開口OP內之這些鄰近閘極結構G兩側邊上的襯墊層20。

此外，上述第9圖至第10圖之製造流程亦可選擇性採用如第11圖至第12圖所述製程。請參照第11圖，於矽基底10上形成保護層22與並覆蓋於這些閘極結構G上。上述保護層22材質例如為有機抗反射材料(BARC)或光阻材料(photoresist)。

請參照第12圖，接著利用一回蝕刻程序(未顯示)，蝕刻此保護層22，以留下部份之保護層22於襯墊層20上，並部份露出這些鄰近閘極結構G兩側邊上的襯墊層20。

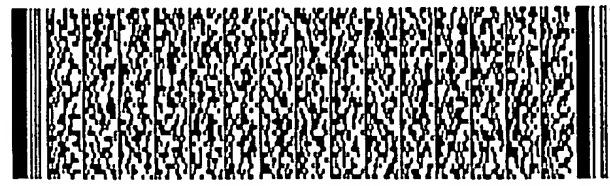
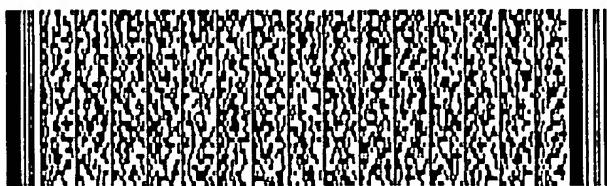
接著請繼續參照第13圖，接著採用如濕蝕刻法之一適



五、發明說明 (12)

當之蝕刻方法(如稀釋氫氟酸DHF或氫氟酸HF與氟化氨 $\text{NH}_4\text{F}$ 之混合溶液BOE)，蝕刻去除如第10圖或第12圖中之未為保護層22覆蓋而露出的襯墊層20部份，即可得到此些兩側邊具有局部蝕刻襯墊層之間極結構G。另可選擇接著採用如濕蝕刻法之另一適當蝕刻方法(如氨水 $\text{NH}_4\text{OH}$ 與過氧化氫 $\text{H}_2\text{O}_2$ 之混合溶液RCA1)去除此些間極結構G兩側邊未為襯墊層20保護之部份閘極導電層(如金屬矽化物層16)。並於去除第一罩幕層24以及保護層22後，即可得到此些兩側邊具有局部蝕刻閘極導電層之間極結構G。在此，熟悉此技藝者亦可藉由控制保護層22之蝕刻程度以調整所留下保護層22之高度，並於去除露出之襯墊層20後，使得閘極導電層露出程度可更達部份之複晶矽層14，實際閘極導電層所需之露出情形則視製程所需可作任意調整，在此不以露出部份之金屬矽化物層16加以限定。

請參照第14圖，接著依照習知之沉積-回蝕刻程序，於此些閘極結構G之兩側壁上各形成一側壁子(spacer)26，其材質例如為氮化矽材料。上述之側壁子26除了覆蓋於此些閘極結構G兩側壁之襯墊層20上，並填入於先前局部去除之間極導電層(例如為金屬矽化物層16)內。接著並藉由習知之源極/汲極離子佈值程序(未顯示)，以於此些閘極結構兩側之矽基底10內形成複數個摻雜區28以作為此些閘極結構G之源極/汲極(source/drain)。至此，此些兩側邊具有局部蝕刻導電層之間極結構G即可作為字元線(WL)之用。



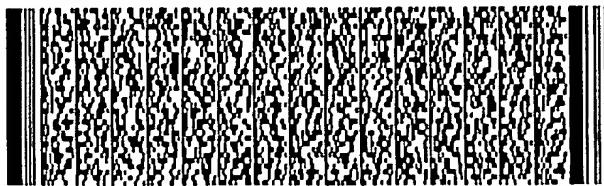
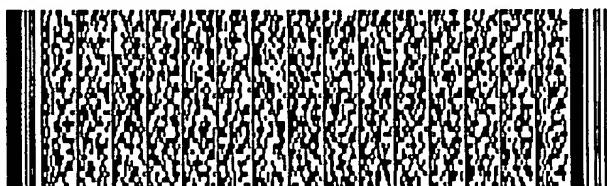
## 五、發明說明 (13)

請參照第15圖，上述利用本發明之方法所形成兩側邊具有局部蝕刻之閘極結構其於後續自對準接觸(SAC)製程的應用，於此些閘極結構G上更形成例如為硼磷矽玻璃(BPSG)之一層間介電層(interlayer dielectric, ILD)30以及例如為光阻材質之第二罩幕層32後，配合一微影/蝕刻之程序已於於此些閘極G間適當位置之第二罩幕層32以及層間介電層30中形成一開口(opening)OP'並露出其內矽基底10中之摻雜區28以及部份之此些閘極結構G。而於形成上述開口OP'過程中，雖無可避免部份去除此些閘極結構G側邊上之上蓋層18以及側壁子26(spacers)，但由於此些閘極已於先前製程中形成局部蝕刻，故此些閘極結構G內之閘極導電層仍可為側壁子26及上蓋層18所絕緣保護而不暴露於此開口OP'中。

請參照第16圖，於去除第二罩幕層32後，接著於開口OP'內填入如鎢金屬等適當之導電材料後，並經由一如CMP之平坦化程序後，於開口OP'內形成與後續金屬線(未顯示)連接之位元線接觸結構(bit-line contact, CB)34。在此，開口OP'即為一自對準開口，而上述製程即為一自對準接觸(SAC)製程。

此外，完成上述具定義開口之第一罩幕層24及第二罩幕層32不限於微影製程，亦可應用奈米印刻技術(Nanoimprint Lithography, NIL)來完成之。

本發明提供另一種具有局部蝕刻閘極之半導體結構，將配合第14圖及第16圖作一詳細敘述如下。



## 五、發明說明 (14)

首先請參照第14圖，係顯示依據本發明之一種兩側邊具有局部蝕刻之閘極結構，其包括：

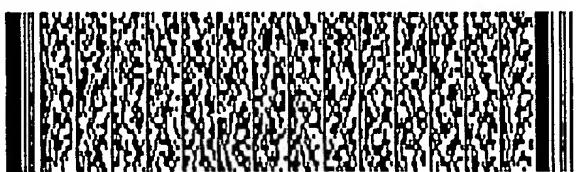
半導體基底(如矽基底10)；由依序堆疊於上述半導體基底上之閘極介電層12、閘極導電層(例如由複晶矽14與金屬矽化物層16所構成)以及上蓋層18所構成之兩鄰近閘極結構G；以及一襯墊層20，分別形成於閘極結構G之兩側壁上，其中於閘極結構G兩側邊上之襯墊層20為局部蝕刻去除並露出鄰近之閘極結構部份，並可更選擇性的去除此鄰近之露出閘極結構部份(例如為金屬矽化物層16)。此外，於上述閘極結構G之兩側壁上則分別設置有一側壁子26覆蓋於襯墊層20上。

接著請參照第16圖，係顯示將上述本發明之兩側邊具有局部蝕刻之閘極結構配合後續自對準接觸(SAC)製程之應用所形成的一種兩側邊具有局部蝕刻閘極之半導體結構，其更包括：

層間介電層30，覆蓋於上述閘極結構G上；以及位元線接觸窗(例如位元線接觸結構34)，形成於上述層間介電層內並露出此位元線接觸窗內之半導體基底及部份上述閘極結構，其中露出之閘極結構G部份內側壁上之襯墊層20為部分蝕刻去除。

發明特徵與功效：

請參照第6圖與第15圖，分別顯示出依據本發明之第一實施例與第二實施例中之方法閘極結構單一側邊或兩側邊所形成具有局部蝕刻之閘極結構，於後續自對準接觸

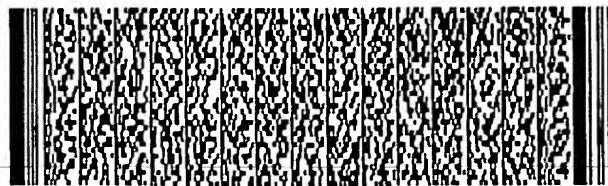


## 五、發明說明 (15)

(SAC) 製程內形成自對準開口OP' 之過程中，這些閘極結構G內之導電材料仍可為兩側側壁子26所保護而不暴露於此開口中。這些半導體元件將可表現出其原先之功能而不會造成習知之位元線接觸結構與字元線短路情形(CB to WL short)。

此外，藉由第一及第二實施例之方法，可適度控制閘極導電層去除之程度，以保持閘極結構之阻值(sheet resistance ;  $R_s$ )不致過高。再者，隨著這些閘極結構G線寬/間距(line/pitch)縮小的趨勢，利用本發明之方法將構成閘極導電層中金屬矽化物旁側之襯墊層去除後，可加大鄰近閘極間之間距(如第6圖及第15圖內所示之間距X)以提供後續自對準接觸(SAC) 製程之製程裕度(process window)，以避免以避免此蝕刻過程中若蝕刻不足所導致之位元線接觸斷路(CB open)。此外，加大鄰近閘極間之間距亦可避免填入閘極間的介電層(如硼磷矽玻璃)填入能力(gap-fill)不佳造成的空洞(void)，進一步避免後續填入導電材料於自對準接觸(SAC) 開口時造成位元線接觸與鄰近另一位元線接觸短路(CB to CB short)。另外，利用本發明方法所形成具有局部蝕刻之閘極結構，其閘極通道長度並不受到上述閘極導電層局部蝕刻之影響，仍可維持一定。

本發明之特徵係在於形成具有單一側邊或兩側邊局部蝕刻之閘極結構，並應用於習知之自對準接觸(SAC) 製程，即可避免習知之位元線接觸結構與字元線短路情形



## 五、發明說明 (16)

(CB to WL short)、位元線接觸異常(CB open)、位元線接觸與鄰近另一位元線接觸短路(CB to CB short)等情形。且本發明之方法可由現有製程加以改良，可容易及迅速地導入現有製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



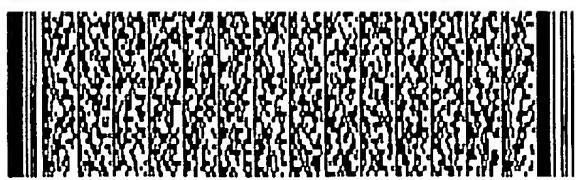
圖式簡單說明

第1~7圖為一系列剖面圖，用以說明本發明之第一實施例製作具有單一側邊局部蝕刻開極結構之自對準接觸開口之方法。

第8~16圖為一系列剖面圖，用以說明本發明之第二實施例製作具有兩側邊局部蝕刻開極結構之自對準接觸開口之方法。

相關符號說明：

10~矽基底；	12~開極介電層；
14~複晶矽層；	16~金屬矽化物層；
18~上蓋層；	20~襯墊層；
22~保護層；	24~第一罩幕層；
26~側壁子；	28~摻雜區；
30~層間介電層；	32~第二罩幕層；
34~接觸節點；	G~開極結構；
OP、OP'~開口；	X~間距。



## 六、申請專利範圍

### 1. 一種具有局部蝕刻閘極之半導體結構的製作方法，

包括：

提供一半導體基底，於該半導體基底上具有至少兩鄰近之閘極結構，其中該些閘極結構係由形成於該半導體基底之一閘極介電層、一閘極導電層以及一上蓋層所構成，且該些閘極結構之各側邊覆蓋有一襯墊層；

依序形成一保護層及一罩幕層於該些閘極結構上；於該罩幕層內定義出至少一開口，並蝕刻部份該開口內之該保護層，以部份露出該開口內兩鄰近閘極結構單一側邊上之該襯墊層；

蝕刻去除該些部份露出之襯墊層；

去除該罩幕層以及該保護層；以及

形成一側壁子覆蓋於該些閘極結構各側壁上，以形成複數個單一側邊具有局部蝕刻之閘極結構。

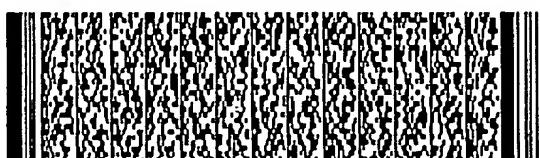
2. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中於蝕刻去除該些部份露出之襯墊層後更包括：

局部去除鄰近該些露出襯墊層之該閘極導電層。

3. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，更包括：

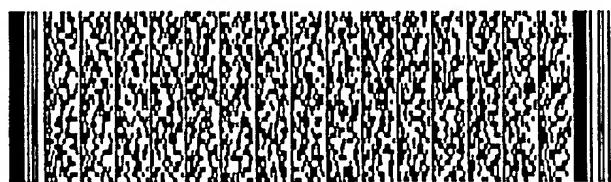
形成一層間介電層覆蓋於該些閘極結構上；以及

施行一微影/蝕刻之程序以於該層間介電層定義出至少一位元線接觸窗並露出該位元線接觸窗內之半導體基底及部份該些鄰近閘極結構。



## 六、申請專利範圍

4. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該閘極導電層係由一複晶矽層以及一金屬矽化物層所構成。
5. 如申請專利範圍第4項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該金屬矽化物層材質為鎢化矽(Tungsten silicide)。
6. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該保護層材質為有機抗反射材料(BARC)。
7. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該罩幕層材質為光阻材料。
8. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該上蓋層及該側壁子材質為氮化矽。
9. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該襯墊層材質為快速熱氧化層。
10. 如申請專利範圍第4項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中鄰近該些露出襯墊層之閘極導電層為該金屬矽化物層。
11. 如申請專利範圍第3項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該開口係為對應至該位元線接觸窗之相對位置。
12. 如申請專利範圍第3項所述之具有局部蝕刻閘極之



## 六、申請專利範圍

半導體結構的製作方法，其中定義該開口及該位元線接觸窗係選自微影製程或奈米印刻製程。

13. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中定義該開口使用之光罩係選自位元線節點光罩或位元線接觸窗光罩。

14. 如申請專利範圍第1項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中蝕刻去除該些部份露出之襯墊層係使用稀釋氫氟酸DHF或氫氟酸HF與氟化氨 $\text{NH}_4\text{F}$ 之混合溶液BOE。

15. 如申請專利範圍第2項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中局部去除鄰近該些露出襯墊層之該閘極導電層係使用氨水 $\text{NH}_4\text{OH}$ 與過氧化氫 $\text{H}_2\text{O}_2$ 之混合溶液RCA1。

16. 一種具有局部蝕刻閘極之半導體結構，包括：

一半導體基底；

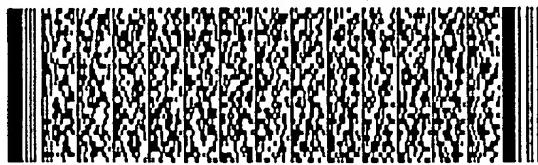
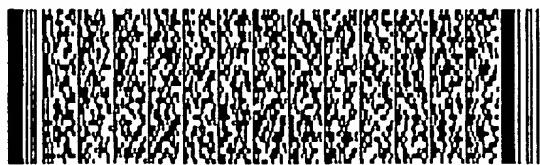
一閘極介電層、一閘極導電層以及一上蓋層依序堆疊於該半導體基底上，以構成一閘極結構；以及

一襯墊層，形成於該閘極結構之側壁上，其中該閘極結構一側邊上之該襯墊層為部分蝕刻去除並部分露出鄰近之該閘極結構。

17. 如申請專利範圍第16項所述之具有局部蝕刻閘極之半導體結構，其中更包括：

一層間介電層，覆蓋於該閘極結構上；以及

一位元線接觸窗，形成於該層間介電層內並露出該位



## 六、申請專利範圍

元線接觸窗內之該半導體基底及部份該閘極結構，其中露出之該閘極結構部份內側壁上之該襯墊層為部分蝕刻去除。

18. 如申請專利範圍第16項所述之具有局部蝕刻閘極之半導體結構，其中該露出之鄰近閘極結構部分為該閘極導電層。

19. 如申請專利範圍第18項所述之具有局部蝕刻閘極之半導體結構，其中該閘極導電層係由一複晶矽層以及一金屬矽化物層所構成。

20. 如申請專利範圍第19項所述之具有局部蝕刻閘極之半導體結構，其中該露出之鄰近閘極結構部分為該金屬矽化物層，且該金屬矽化物層為部分蝕刻去除。

21. 如申請專利範圍第16項所述之具有局部蝕刻閘極之半導體結構，其中更包括一側壁子，分別形成於該閘極結構之兩側壁上並覆蓋該襯墊層。

22. 如申請專利範圍第16項所述之具有局部蝕刻閘極之半導體結構，其中該襯墊層材質為快速熱氧化層。

23. 如申請專利範圍第21項所述之具有局部蝕刻閘極之半導體結構，其中側壁子材質為氮化矽。

24. 一種具有局部蝕刻閘極之半導體結構的製作方法，包括：

提供一半導體基底，於該半導體基底上具有至少兩鄰近之閘極結構，其中該些閘極結構係由形成於該半導體基底之一閘極介電層、一閘極導電層以及一上蓋層所構成，



## 六、申請專利範圍

且該些閘極結構之各側邊覆蓋有一襯墊層；  
形成一保護層於該些閘極結構上；  
蝕刻部份該保護層，以部份露出該些閘極結構兩側邊  
上之該襯墊層；  
蝕刻去除該些露出之襯墊層部份；  
去除該保護層；以及  
形成一側壁子覆蓋於該些閘極結構各側壁上以形成複  
數個兩側邊具有局部蝕刻之閘極結構。

25. 如申請專利範圍第24項所述之具有局部閘極之半  
導體結構的製作方法，其中其中於蝕刻部份該保護層前更  
包括下列步驟：

形成一罩幕層於該保護層上；以及  
於該罩幕層內定義出複數個罩幕圖案，覆蓋於該些閘  
極結構相對位置之該保護層上。

26. 如申請專利範圍第24項所述之具有局部閘極之半  
導體結構的製作方法，其中蝕刻去除該些部份露出之襯墊  
層後更包括：

局部去除鄰近該些露出襯墊層之該閘極導電層。

27. 如申請專利範圍第24項所述之具有局部蝕刻閘極  
之半導體結構的製作方法，更包括：

形成一層間介電層覆蓋於該些閘極結構上；以及  
施行一微影/蝕刻之程序以於該層間介電層定義出至  
少一位元線接觸窗並露出該位元線接觸窗內之半導體基底  
及部份該些鄰近閘極結構。



## 六、申請專利範圍

28. 如申請專利範圍第24項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該閘極導電層係由一複晶矽層以及一金屬矽化物層所構成。

29. 如申請專利範圍第24項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該保護層材質為有機抗反射材料(BARC)或光阻材料。

30. 如申請專利範圍第24項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該保護層材質為有機抗反射材料(BARC)且該罩幕層材質為光阻材料。

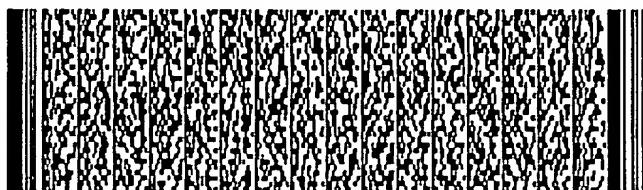
31. 如申請專利範圍第24項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中該上蓋層與該間隔物材質為氮化矽。

32. 如申請專利範圍第27項所述之具有局部蝕刻導電層之閘極結構的製作方法，其中鄰近該些露出襯墊層之閘極導電層為該金屬矽化物層。

33. 如申請專利範圍第24項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中蝕刻去除該些部份露出之襯墊層係使用稀釋氫氟酸DHF或氫氟酸HF與氟化氫 $\text{NH}_4\text{F}$ 之混合溶液BOE。

34. 如申請專利範圍第26項所述之具有局部蝕刻閘極之半導體結構的製作方法，其中局部去除鄰近該些露出襯墊層之該閘極導電層係使用氨水 $\text{NH}_4\text{OH}$ 與過氧化氫 $\text{H}_2\text{O}_2$ 之混合溶液RCA1。

35. 一種具有局部蝕刻閘極之半導體結構，包括：



## 六、申請專利範圍

### 一半導體基底；

一閘極介電層、一閘極導電層以及一上蓋層依序堆疊於該半導體基底上以構成一閘極結構；以及

一襯墊層，形成於該閘極結構之側壁上，其中該閘極結構兩側邊上之該襯墊層分別為部分蝕刻去除並部份露出鄰近之該閘極結構。

36. 如申請專利範圍第35項所述之具有局部蝕刻閘極之半導體結構，其中更包括：

一層間介電層，覆蓋於該閘極結構上；以及

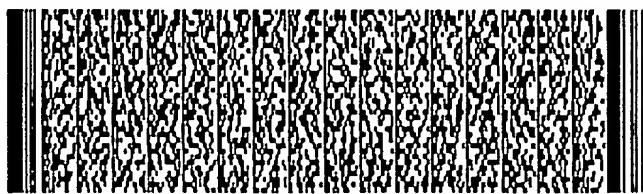
一位元線接觸窗，形成於該層間介電層內並露出該位元線接觸窗內之該半導體基底及部份該閘極結構，其中露出之該閘極結構部份側壁上之該襯墊層為部分蝕刻去除。

37. 如申請專利範圍第35項所述之具有局部蝕刻閘極之半導體結構，其中該露出之鄰近閘極結構部分為該閘極導電層。

38. 如申請專利範圍第37項所述之具有局部蝕刻閘極之半導體結構，其中該閘極導電層係由一複晶矽層以及一金屬矽化物層所構成。

39. 如申請專利範圍第38項所述之具有局部蝕刻閘極之半導體結構，其中該露出之鄰近閘極結構部分為該金屬矽化物層，且該金屬矽化物層為部分蝕刻去除。

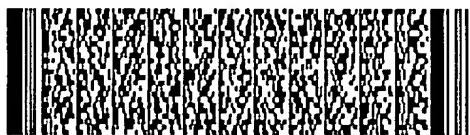
40. 如申請專利範圍第35項所述之具有局部蝕刻閘極之半導體結構，其中更包括一側壁子，分別形成於該閘極結構之兩側壁上並覆蓋該襯墊層。

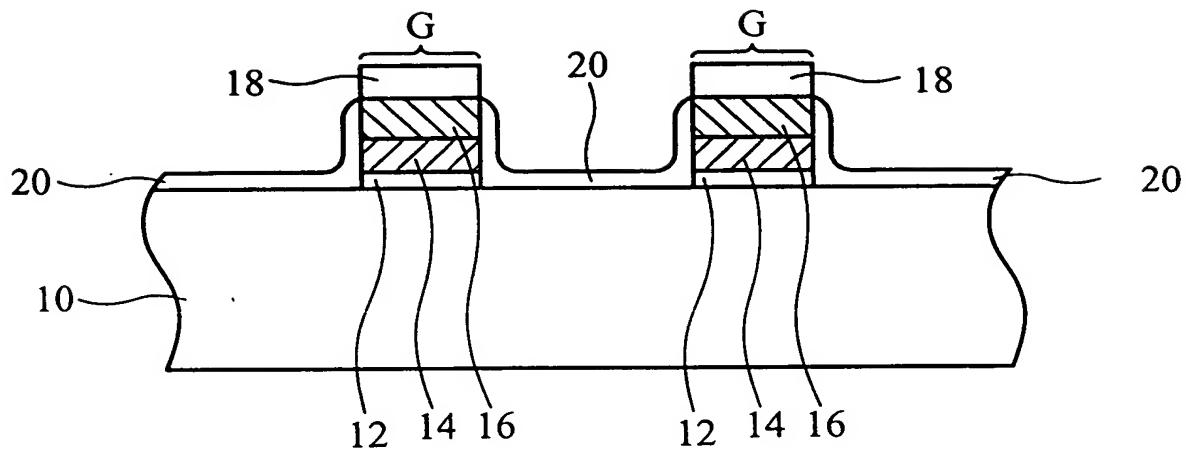


## 六、申請專利範圍

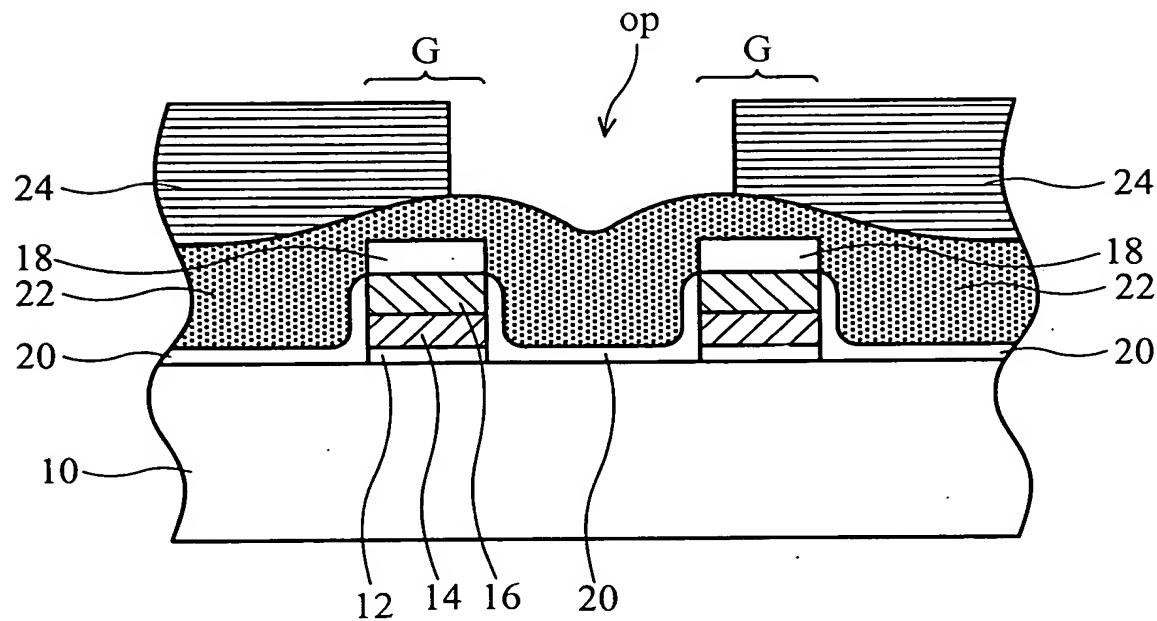
41. 如申請專利範圍第35項所述之具有局部蝕刻開極之半導體結構，其中該襯墊層材質為快速熱氧化層。

42. 如申請專利範圍第40項所述之具有局部蝕刻開極之半導體結構，其中側壁子材質為氮化矽。

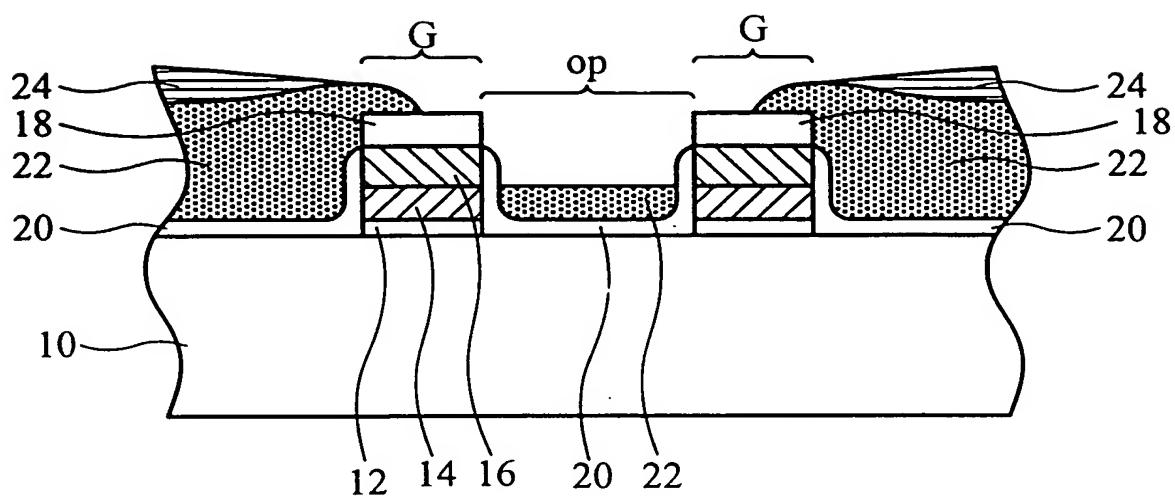




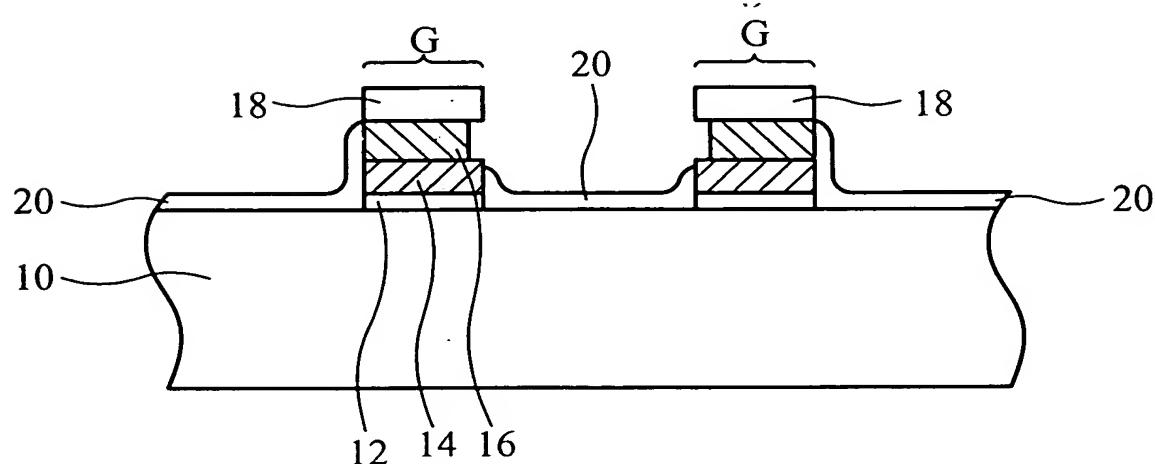
第 1 圖



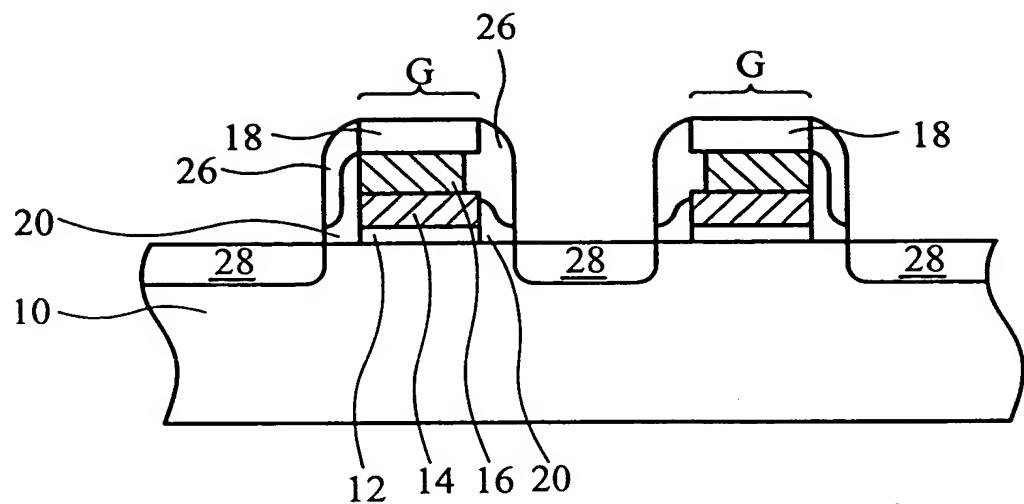
第 2 圖



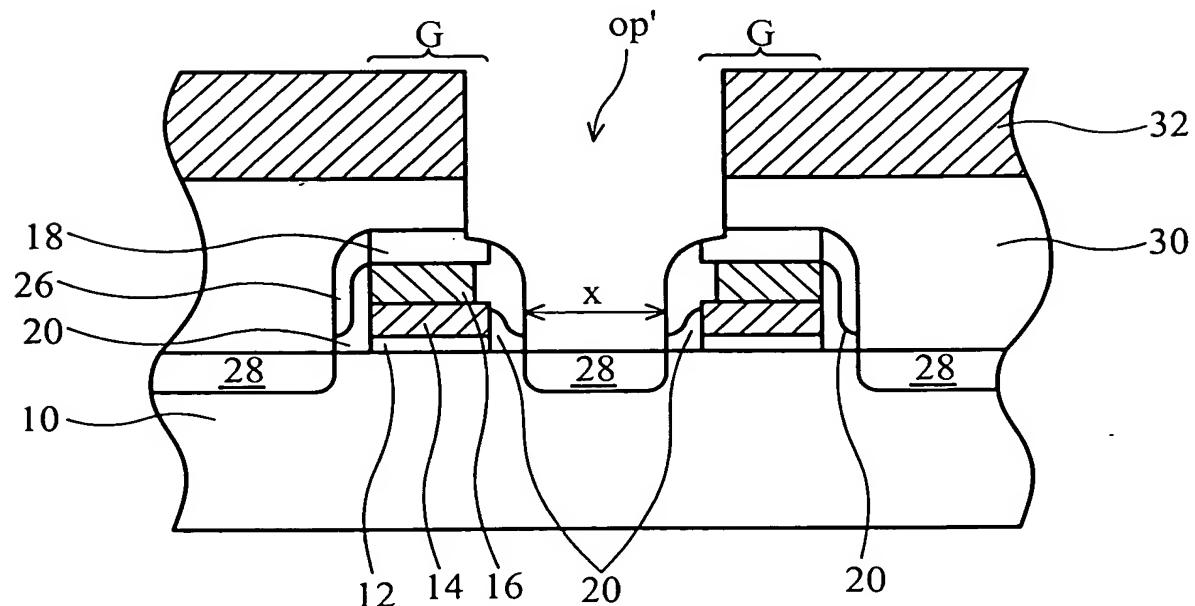
第 3 圖



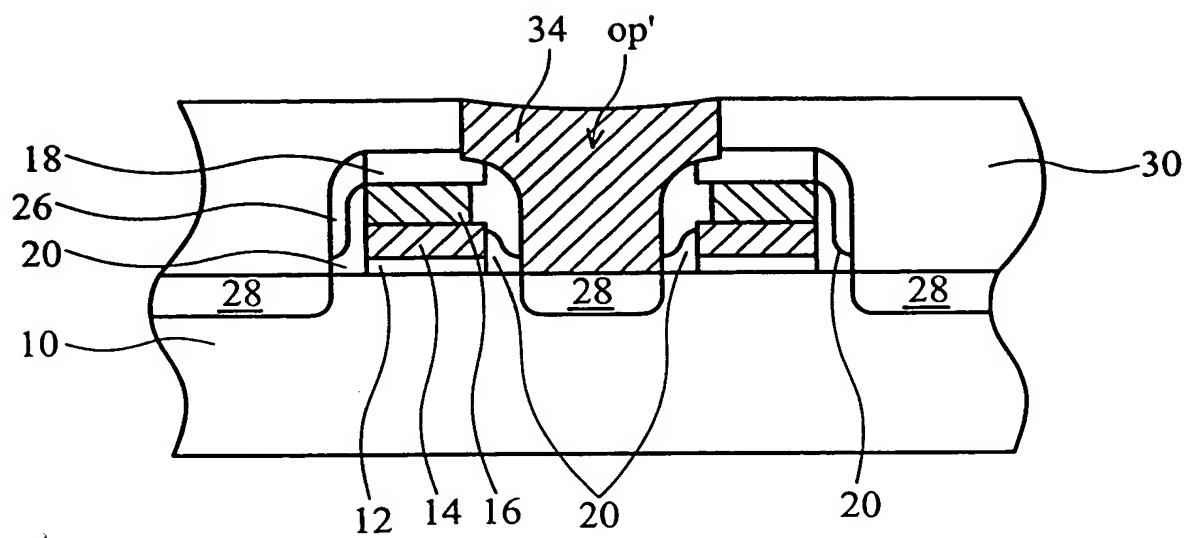
第 4 圖



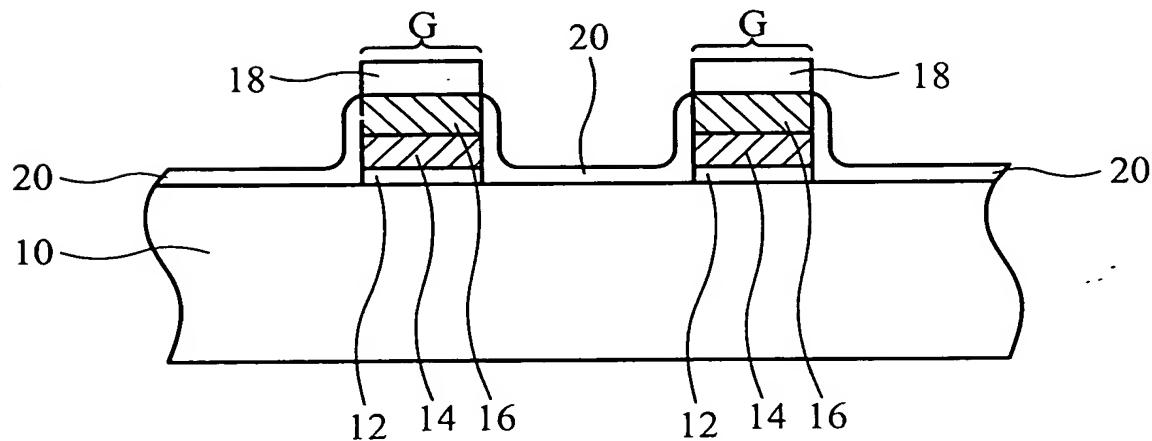
第 5 圖



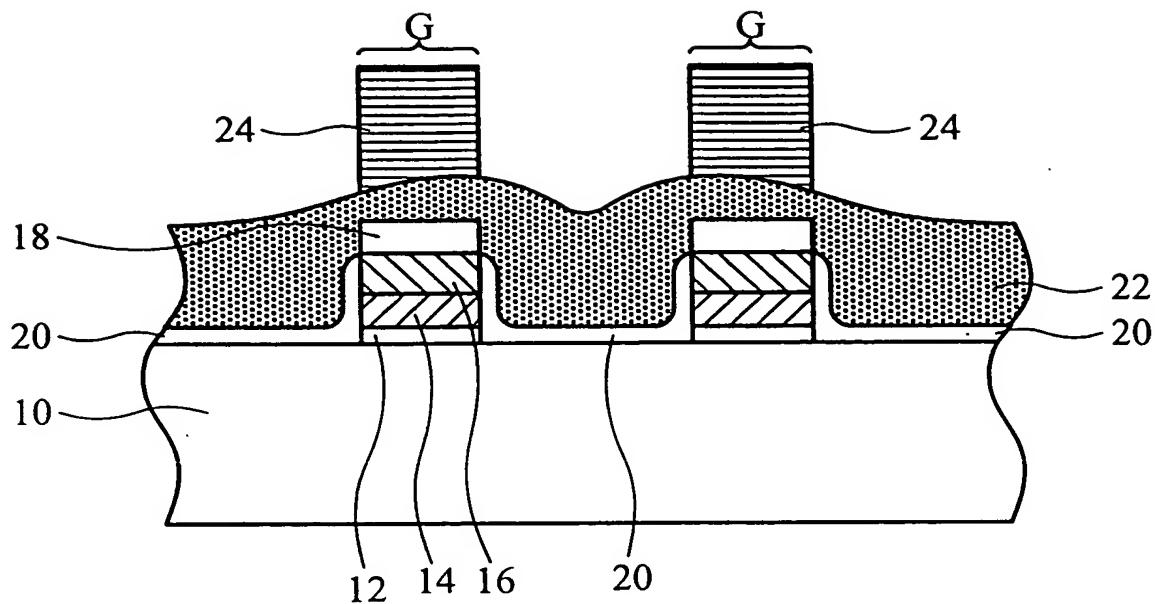
第 6 圖



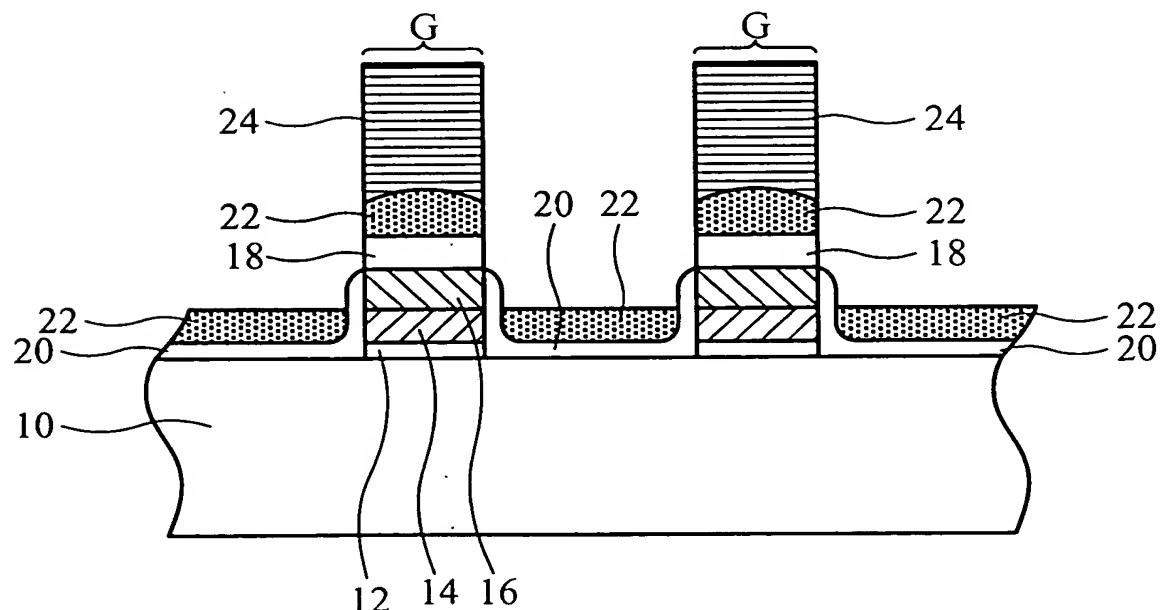
第 7 圖



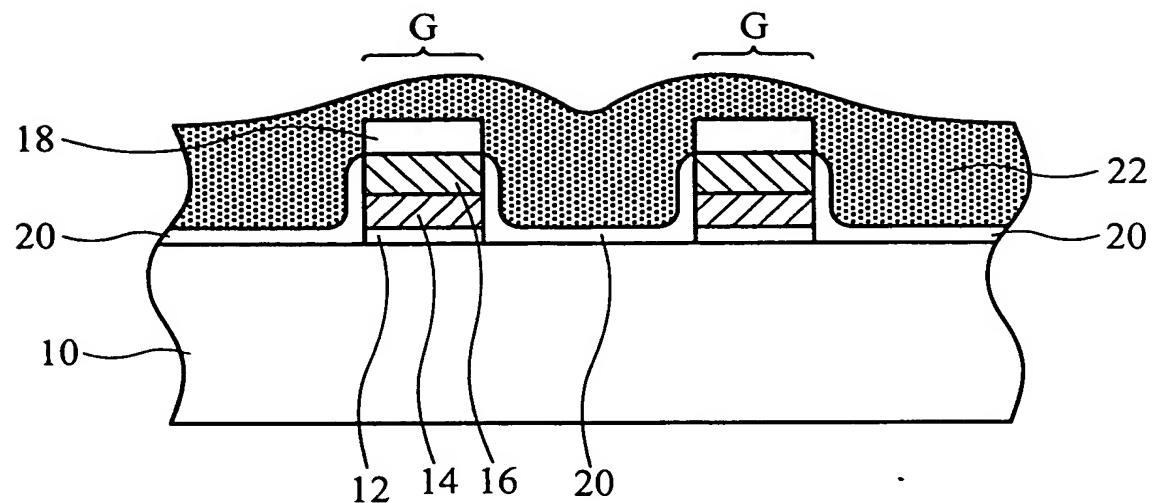
第 8 圖



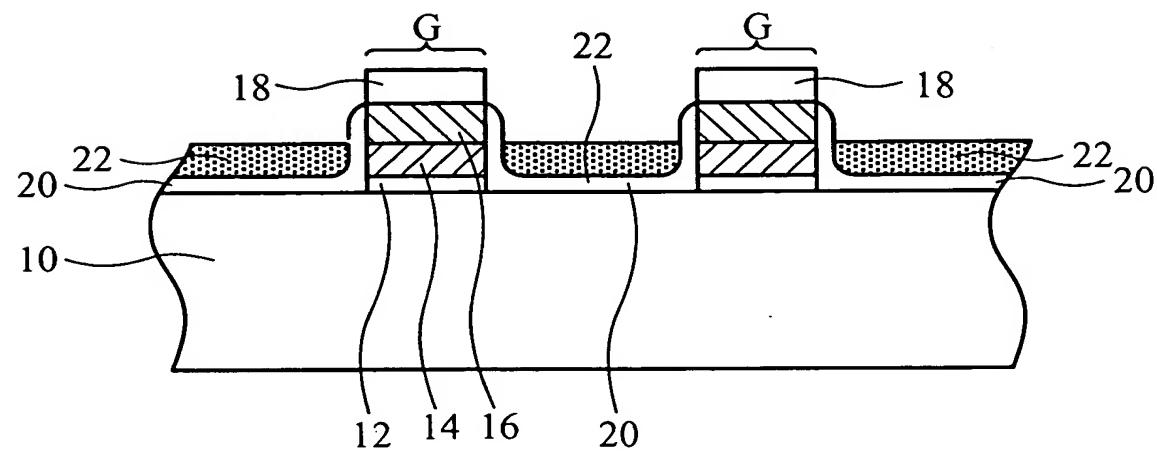
第 9 圖



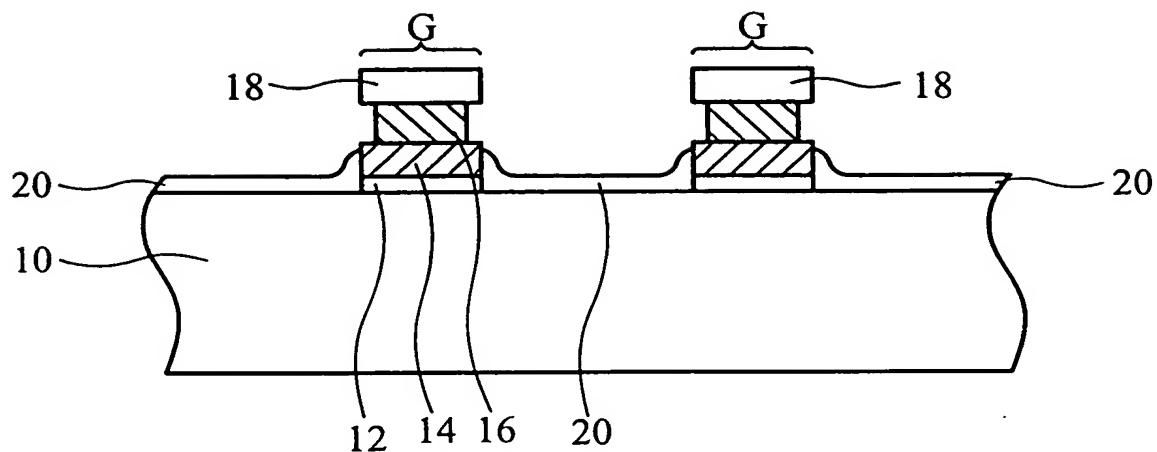
第 10 圖



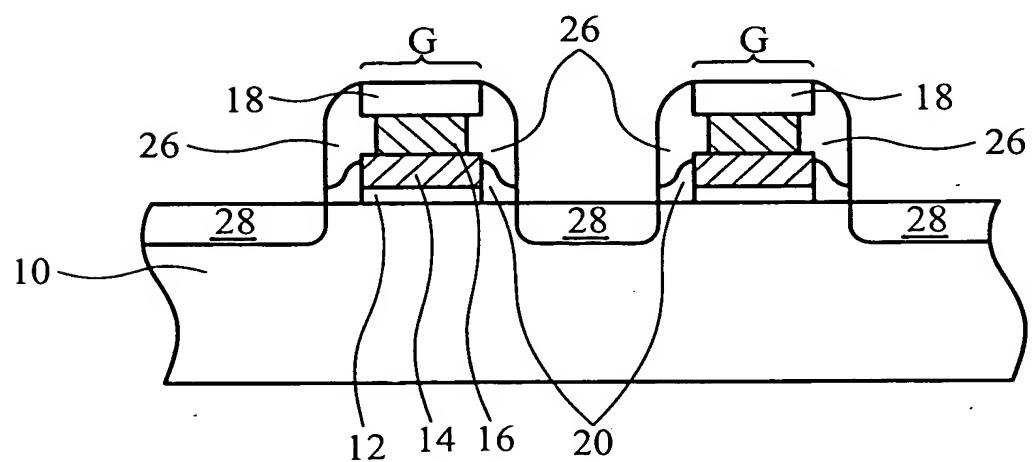
第 11 圖



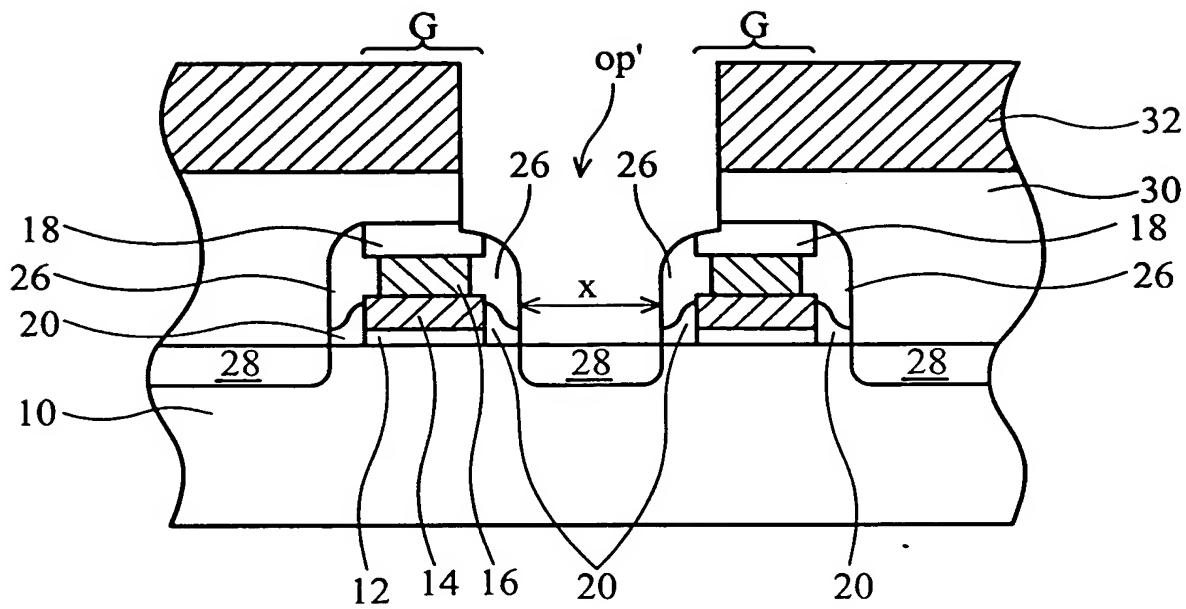
第 12 圖



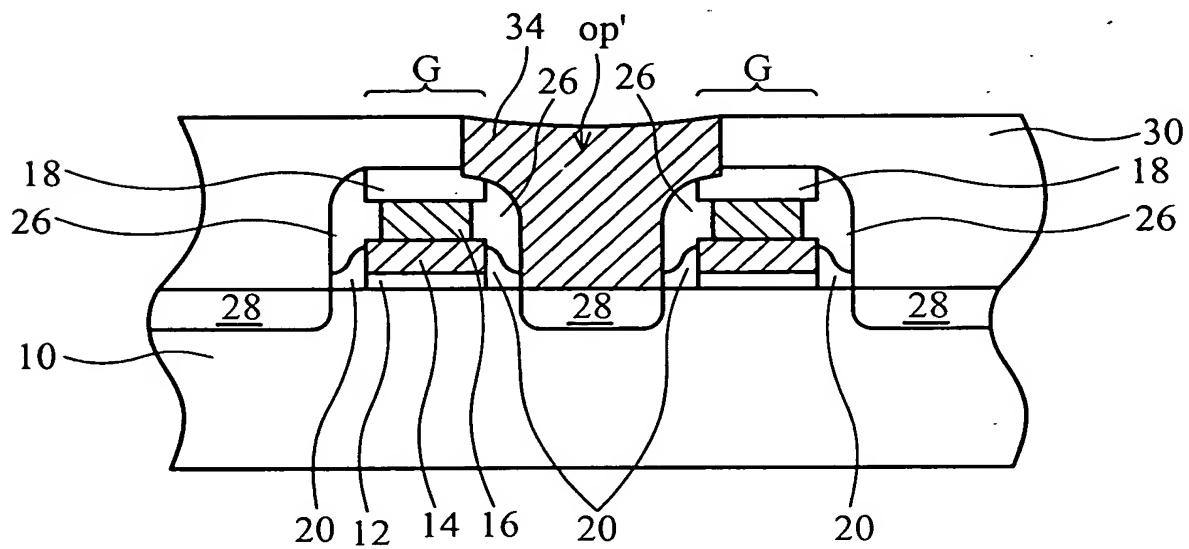
第13圖



第14圖

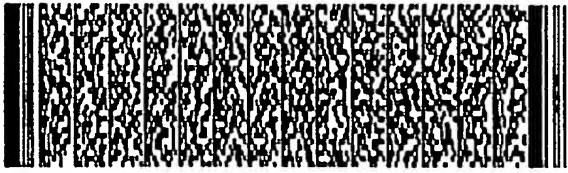


第 15 圖

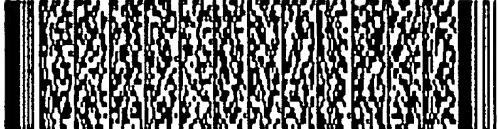


第 16 圖

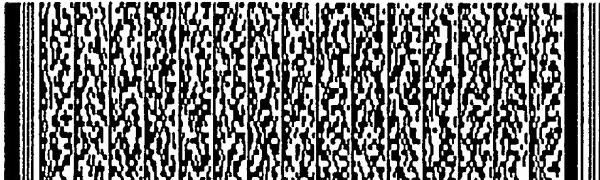
第 1/29 頁



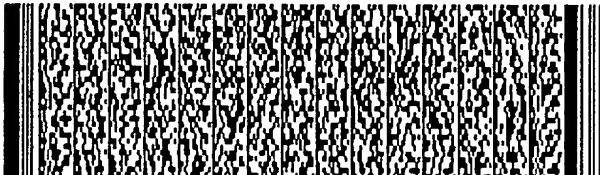
第 3/29 頁



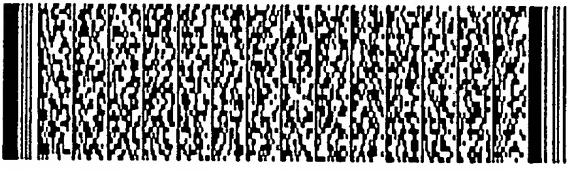
第 5/29 頁



第 6/29 頁



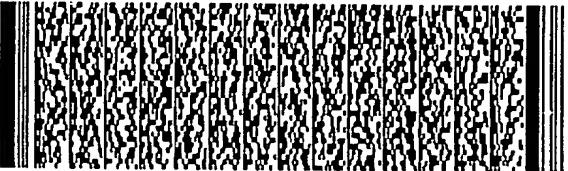
第 7/29 頁



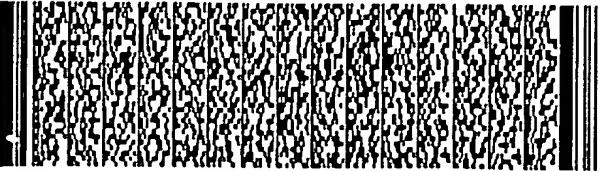
第 8/29 頁



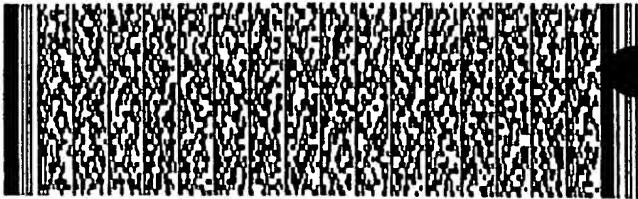
第 9/29 頁



第 10/29 頁



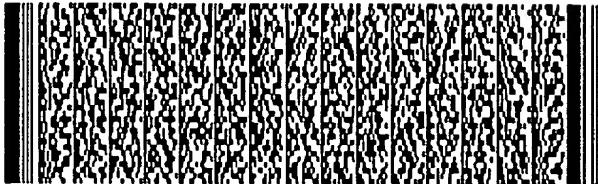
第 2/29 頁



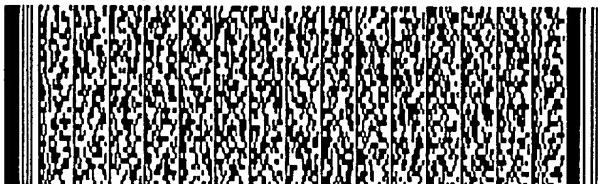
第 4/29 頁



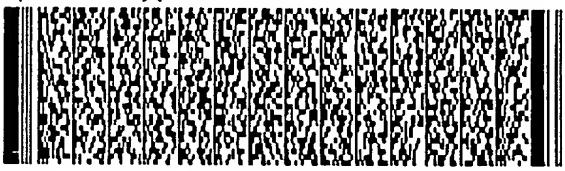
第 5/29 頁



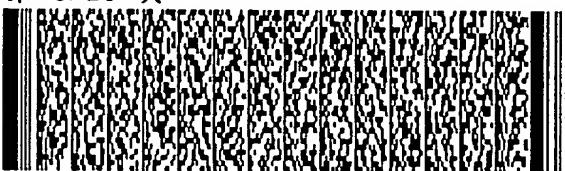
第 6/29 頁



第 7/29 頁



第 8/29 頁



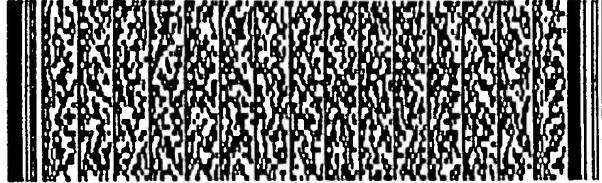
第 9/29 頁



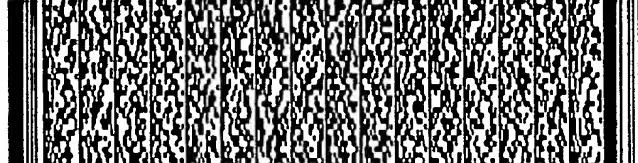
第 10/29 頁



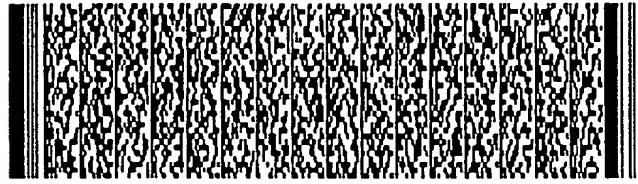
第 11/29 頁



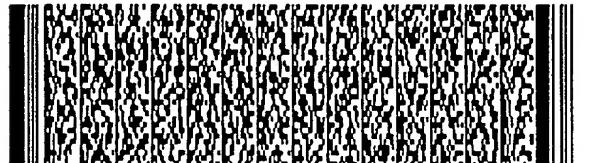
第 12/29 頁



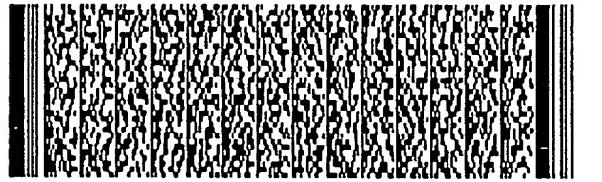
第 13/29 頁



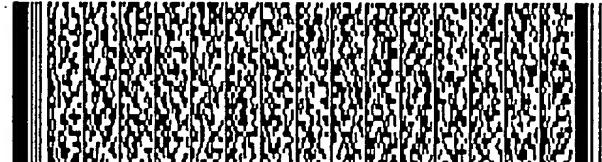
第 14/29 頁



第 15/29 頁



第 16/29 頁



第 17/29 頁



第 18/29 頁



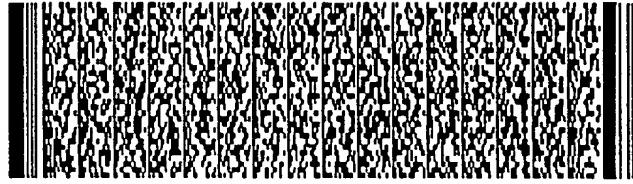
第 11/29 頁



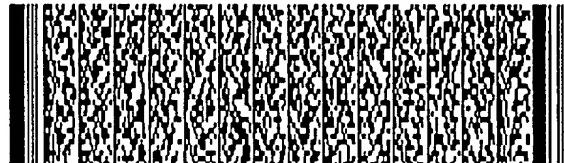
第 12/29 頁



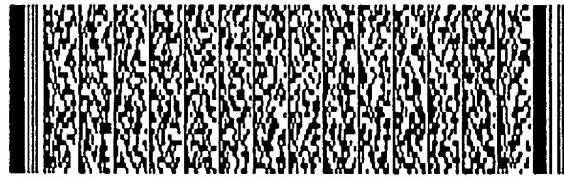
第 13/29 頁



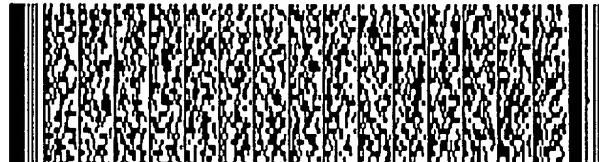
第 14/29 頁



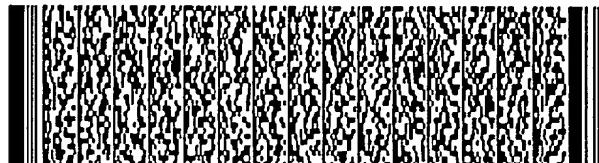
第 15/29 頁



第 16/29 頁



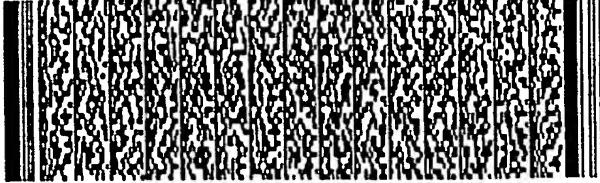
第 17/29 頁



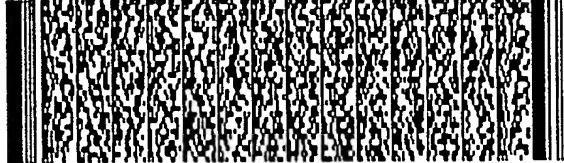
第 18/29 頁



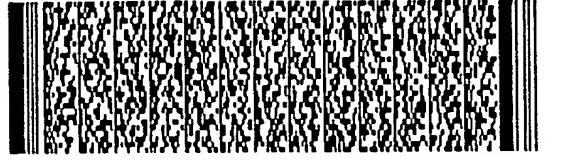
第 19/29 頁



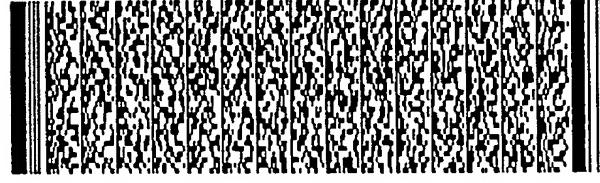
第 20/29 頁



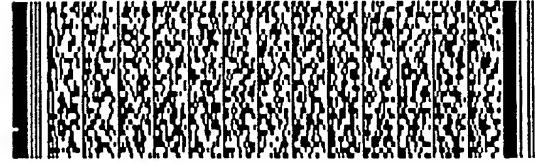
第 22/29 頁



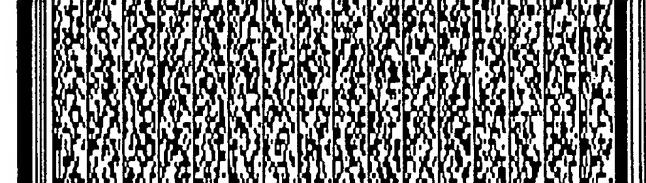
第 23/29 頁



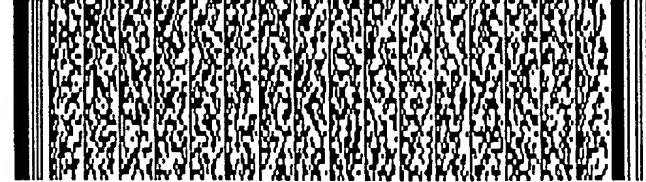
第 24/29 頁



第 26/29 頁



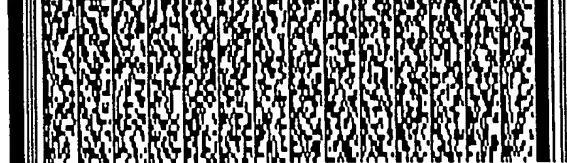
第 28/29 頁



第 19/29 頁



第 21/29 頁



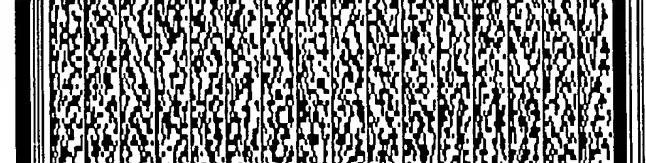
第 22/29 頁



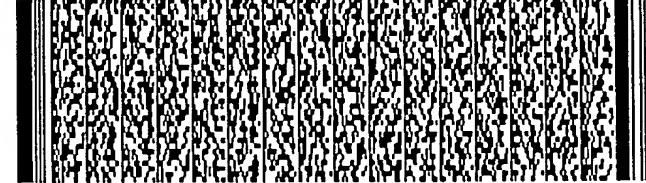
第 24/29 頁



第 25/29 頁



第 27/29 頁



第 29/29 頁

